

#4 / Priority  
Paper  
2-14-01  
Related

JC808 U.S. PTO

09/619669



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1999年 7月19日

出願番号  
Application Number:

平成11年特許願第204819号

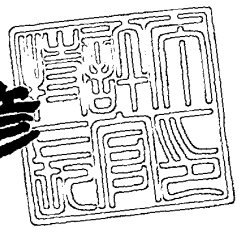
出願人  
Applicant(s):

日本電気株式会社

2000年 5月26日

特許庁長官  
Commissioner,  
Patent Office

近藤隆彦



出証番号 出証特2000-3039945

【書類名】 特許願  
【整理番号】 71110264  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/04  
H01L 21/822  
H01L 27/06

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号  
本電気株式会社内

日

【氏名】 森下 泰之

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の入出力保護装置

【特許請求の範囲】

【請求項 1】 半導体基板の一導電型領域に形成され且つ入出力端子に接続された逆導電型の第 1 の拡散層と、一定電位の電極配線に接続された逆導電型の第 2 の拡散層とを有し、前記第 2 の拡散層の底部に逆導電型の第 3 の拡散層が前記第 2 の拡散層と接続して形成され、前記第 1 の拡散層が前記第 2 の拡散層および第 3 の拡散層で環状に囲われていることを特徴とする半導体集積回路の入出力保護装置。

【請求項 2】 前記半導体基板の一導電型領域が前記半導体基板より高濃度の不純物を有する第 4 の拡散層でもって形成されていることを特徴とする請求項 1 記載の半導体集積回路の入出力保護装置。

【請求項 3】 前記第 4 の拡散層の不純物濃度は、前記半導体基板の表面から内部に向かって単調に低減していることを特徴とする請求項 2 記載の半導体集積回路の入出力保護装置。

【請求項 4】 前記第 3 の拡散層の深さが前記第 4 の拡散層の深さ以上になっていることを特徴とする請求項 2 または請求項 3 記載の半導体集積回路の入出力保護装置。

【請求項 5】 前記第 1 の拡散層をコレクタとし、前記第 2 の拡散層と第 3 の拡散層をエミッタとし、前記一導電型領域あるいは前記第 4 の拡散層をベースとしてラテラル型バイポーラトランジスタが作動することを特徴とする請求項 1 から請求項 4 のうち 1 つの請求項に記載の半導体集積回路の入出力保護装置。

【請求項 6】 前記第 1 の拡散層と第 2 の拡散層とが、半導体基板表面の素子分離絶縁膜を介して互いに分離されていることを特徴とする請求項 1 から請求項 5 のうち 1 つの請求項に記載の半導体集積回路の入出力保護装置。

【請求項 7】 前記第 1 の拡散層と第 2 の拡散層とが、半導体基板表面に設けられたゲート電極を挟んで形成されていることを特徴とする請求項 1 から請求項 5 のうち 1 つの請求項に記載の半導体集積回路の入出力保護装置。

【請求項 8】 前記素子分離絶縁膜あるいは前記ゲート電極が円形状に形成

されていることを特徴とする請求項 6 または請求項 7 記載の半導体集積回路の入出力保護装置。

【請求項 9】 前記ゲート電極が半導体集積内部回路の信号配線に接続されていることを特徴とする請求項 7 または請求項 8 記載の半導体集積回路の入出力保護装置。

【請求項 10】 前記ゲート電極が一定電位に固定されていることを特徴とする請求項 7 または請求項 8 記載の半導体集積回路の入出力保護装置。

【請求項 11】 前記一導電型が P 型であり前記逆導電型が N 型であり、前記一定電位が接地電位であることを特徴とする請求項 1 から請求項 10 のうち 1 つの請求項に記載の半導体集積回路の入出力保護装置。

【請求項 12】 前記一導電型が N 型であり前記逆導電型が P 型であり、前記一定電位が電源電位であることを特徴とする請求項 1 から請求項 10 のうち 1 つの請求項に記載の半導体集積回路の入出力保護装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の入出力保護装置に関する。

【0002】

【従来の技術】

従来、半導体集積回路の入出力保護装置は一般に、半導体集積回路を構成する CMOS トランジスタの微細化に伴い、静電気保護が困難になってきている。これは、CMOS トランジスタの微細化に伴いゲート酸化膜の薄膜化が進むと、ゲート酸化膜耐圧が低下するためである。また、近年、トランジスタの拡散層を金属シリサイド化することにより、寄生抵抗の低減が図られているが、この金属シリサイド化についても、集積回路の静電気耐性を劣化させる要因となってきた。

【0003】

従来の CMOS で構成される半導体集積回路の入出力保護装置として、寄生ラテラル型バイポーラトランジスタが用いられる。このような技術にはこれまで種

々のものが提案されている。そのような技術として、例えば、特開平 8-51188 号公報、特開平 7-122715 号公報に記載されているものがある。

#### 【0004】

従来の寄生ラテラル型バイポーラトランジスタで構成される入出力保護装置の代表的例を図 5 に基づいて説明する。図 5 (a) はその模式的な平面図であり、図 5 (b) は図 5 (a) に記す X-Y 方向での断面図となっている。図 5 (b) に示すように、例えば導電型が P 型のシリコン基板 101 表面に P 型ウェル層 102 が形成されている。そして、図 5 (a) および図 5 (b) に示すように、P 型ウェル層 102 の表面に選択的に素子分離絶縁膜 103 が形成されている。

#### 【0005】

そして、P 型ウェル層 102 表面に、導電型が N 型の第 1 の拡散層 104 が形成され、別の領域に導電型が N 型の第 2 の拡散層 105 が形成されている。さらに、導電型が P 型の取出し用拡散層 106 が形成されている。ここで、上記第 1 の拡散層 104 あるいは第 2 の拡散層 105 は、CMOS トランジスタのソース・ドレイン領域の拡散層の形成と同一の工程で形成されるものである。

#### 【0006】

上記のような構造において、第 1 の拡散層に入出力端子 107 が接続される。そして、第 2 の拡散層 105 と取出し用拡散層 106 は接地端子 108 に接続される。

#### 【0007】

この入出力保護の構成において、入出力端子 107 に正極高電圧パルスが印加されると、第 1 の拡散層 104 と P 型ウェル層 102 の接合部でアバランシェブレークダウンが起こり、入出力端子 107 から取出し用拡散層 106 へと降伏電流が流れる。そして、この降伏電流により P 型ウェル層 102 の電位が局所的に上昇し、上記第 1 の拡散層 104 をコレクタとし、第 2 の拡散層 105 をエミッタとし、P 型ウェル層 102 をベースとするラテラル型バイポーラトランジスタが作動するようになる。このような寄生バイポーラトランジスタ動作により、入出力端子 107 にかかる静電気帯電によるような過電荷は、エミッタとなる第 2 の拡散層を通して接地端子に放電されるようになる。

【0008】

【発明が解決しようとする課題】

先述したように、半導体集積回路は高集積化と共に高速化されていく。このために、半導体集積回路を構成する個々の半導体素子はますます微細化され高密度化される。一般に、このように半導体素子が微細化されると、静電気放電（Electrostatic Discharge：ESD）による半導体装置の不良発生が多発するようになる。

【0009】

上述した寄生のラテラル型のバイポーラトランジスタは、立ち上がりが速い正極高電圧パルスに応答できず、保護素子が機能する前に、内部回路のゲート酸化膜破壊が生じやすくなる。特に半導体集積回路の微細化に伴って、内部回路のゲート酸化膜厚はますます薄くなるため、さらに破壊され易くなる。

【0010】

従来の上述したラテラル型バイポーラ入出力保護装置では、アバランシェブレークダウン後の降伏電流は、P型のシリコン基板101より低抵抗であるP型ウェル層102領域を流れるため、バイポーラのベースに相当するP型ウェル層102の電位が上昇し難く、入出力保護装置の応答を速くできないという問題があった。

【0011】

本発明の目的は、静電気等の過電圧、過電流パルスに対する応答が速い、ラテラルバイポーラ型入出力保護装置を提供することにある。

【0012】

【課題を解決するための手段】

このために本発明の半導体集積回路の入出力保護装置は、半導体基板の一導電型領域に形成され且つ入出力端子に接続された逆導電型の第1の拡散層と、一定電位の電極配線に接続された逆導電型の第2の拡散層とを有し、前記第2の拡散層の底部に逆導電型の第3の拡散層が前記第2の拡散層と接続するように形成され、前記第1の拡散層が前記第2の拡散層および第3の拡散層で環状に囲われている。

## 【0 0 1 3】

そして、前記半導体基板の一導電型領域は前記半導体基板より高濃度の不純物を有する第4の拡散層でもって形成されている。ここで、前記第4の拡散層の不純物濃度は、前記半導体基板の表面から内部に向かって単調に低減している。そして、前記第3の拡散層の深さは、前記第4の拡散層の深さと同じかそれ以上となっている。

## 【0 0 1 4】

そして、前記入出力端子に高電圧が印加される場合に、前記第1の拡散層をコレクタとし、前記第2の拡散層と第3の拡散層をエミッタとし、前記一導電型領域あるいは前記第4の拡散層をベースとしてラテラル型バイポーラトランジスタが作動するようになっている。

## 【0 0 1 5】

また、本発明の半導体集積回路の入出力保護装置では、前記第1の拡散層と第2の拡散層とが、半導体基板表面の素子分離絶縁膜を介して互いに分離している。あるいは、前記第1の拡散層と第2の拡散層とは、半導体基板表面に設けられたゲート電極を挟んで形成されている。ここで、前記素子分離絶縁膜あるいはゲート電極は円形状になるように形成される。

## 【0 0 1 6】

そして、前記ゲート電極は半導体集積内部回路の信号配線に接続されている。あるいは、前記ゲート電極は一定電位に固定されている。

## 【0 0 1 7】

上記の半導体集積回路の入出力保護装置では、前記一導電型はP型であり前記逆導電型はN型であり前記一定電位が接地電位となっている。あるいは、逆に前記一導電型がN型であり前記逆導電型がP型であり、前記一定電位は電源電位となっている。

## 【0 0 1 8】

このように、本発明の半導体集積回路の入出力保護装置では、寄生ラテラル型バイポーラトランジスタのコレクタ領域となる第1の拡散層が深い拡散層である第3の拡散層で環状に囲まれている。このために、第1の拡散層と一導電型領域



との接合領域で生じるアバランシェブレークダウン時の降伏電流は、上記深い第3の拡散層でもって横方向の流れるが遮られ、半導体基板の内部に深く流れ込むようになる。通常の半導体基板は、不純物濃度が低く、高抵抗になっているので、降伏電流が半導体基板の内部へ流れ込むようになると、上記半導体基板内部への電流による電位降下でもって、ベース領域となる第4の拡散層あるいは一導電型領域の電位の絶対値が上昇し易くなり、バイポーラ動作が容易に起こるようになる。従って、静電気等の過電圧、過電流パルスに対して、入出力保護装置の応答を速くすることができ、半導体集積回路が微細化されても十分な保護能力が確保されるようになる。

【0019】

#### 【発明の実施の形態】

次に、本発明の第1の実施の形態を図1と図2に基づいて説明する。図1(a)は、本発明を説明するための半導体集積回路の入出力保護の平面図であり、図1(b)は図1(a)に記すA-Bで切断した断面図である。また、図2は、寄生バイポーラトランジスタのベースとなる領域の不純物濃度分布を説明するためのグラフである。

【0020】

図1(b)に示すように、従来の技術で説明したのと同様にして、P導電型でその不純物濃度が $10^{15}$ 原子/cm<sup>3</sup>程度のシリコン基板1表面に第4の拡散層2, 2aが形成されている。ここで、第4の拡散層2, 2aの不純物濃度は $10^{17}$ 原子/cm<sup>3</sup>程度になるように設定される。そして、その深さは1μm程度である。そして、図1(a)および図1(b)に示すように、第4の拡散層2, 2aの表面に選択的に素子分離絶縁膜3が形成されている。この素子分離絶縁膜3は公知のLOCOS法あるいはトレンチ素子分離法でもって形成される。

【0021】

そして、第4の拡散層2, 2a表面に、導電型がN型の第1の拡散層4および第2の拡散層5が形成されている。この場合に、第2の拡散層5は、図1(a)に示すように第1の拡散層4の周りを取り囲むように形成されている。そしてさらに、導電型がP型の取出し用拡散層6が形成されている。ここで、上記第1の

拡散層 4 あるいは第 2 の拡散層 5 は、CMOS トランジスタのソース・ドレイン領域の拡散層の形成と同一の工程で形成されるものである。すなわち、その不純物濃度は  $10^{20}$  原子/cm<sup>3</sup> 程度に設定され、その深さは 0.1  $\mu$ m 程度である。あるいは、これらの拡散層の表面にシリサイド層が形成されていてもよい。

【0022】

さらに本発明では、図 1 (a) および図 1 (b) に示すように、第 3 の拡散層 7 が、上記第 2 の拡散層 5 の領域上であって、上記第 4 の拡散層 2, 2a よりも深くなるように形成されている。ここで、第 3 の拡散層 7 の導電型は第 2 の拡散層 5 のそれと同一である。このような第 3 の拡散層 7 は、半導体装置の製造工程において N ウェル層の形成と同一の工程で形成できる。なお、図 1 (a) では、判り易くするためにこの第 3 の拡散層 7 の領域には斜線が施されている。

【0023】

このような構造において、従来の技術で説明したのと同様に、第 1 の拡散層 4 に入出力端子 8 が接続される。そして、第 2 の拡散層 5 と取出し用拡散層 6 は接地端子 9 に接続される。

【0024】

この入出力保護装置の構成において、入出力端子 8 に正極高電圧パルスが印加されると、第 1 の拡散層 4 と第 4 の拡散層 2a の接合部でアバランシェブレークダウンが起こる。そして、上記のような本発明のような構造では、上記アバランシェブレークダウンによる降伏電流は、第 1 の拡散層 4 から縦方向に第 4 の拡散層 2a を経てシリコン基板 1 へと流れ込む。これは、図 1 (b) に示すように第 4 の拡散層 2a が第 3 の拡散層 7 で囲われているために、第 4 の拡散層を横方向に流れる降伏電流の経路が遮断されるからである。

【0025】

このように、本発明での降伏電流は、シリコン基板 1 を経由して取出し用拡散層 6 へと流れ込む。このために、降伏電流の経路が長くなる。また、シリコン基板 1 の不純物濃度は、第 4 の拡散層 2, 2a の不純物濃度より低い。

【0026】

これらのために、アバランシェブレークダウンの初期において、第 4 の拡散層

2 a の底面から取出し用拡散層 6 間での電圧降下が大きくなり、第 4 の拡散層 2 a の電位が速く上昇するようになる。

## 【 0 0 2 7 】

そして、この降伏電流により寄生のベース領域となる第 4 の拡散層 2 a の電位が速く上昇し、上記第 1 の拡散層 4 をコレクタとし、第 2 の拡散層 5 および第 3 の拡散層 7 をエミッタとするラテラル型バイポーラトランジスタが、従来の技術の場合よりも速く作動するようになる。

## 【 0 0 2 8 】

このような寄生バイポーラトランジスタ動作により、入出力端子 8 にかかる静電気帯電によるような過電荷は、エミッタとなる第 3 の拡散層 7 および第 2 の拡散層 5 を通して接地端子 9 に放電されるようになる。

## 【 0 0 2 9 】

本発明では、上述したように、ベース領域となる第 4 の拡散層 2 a が第 3 の拡散層 7 で取り囲まれている。このために、第 4 の拡散層 2 a の電位上昇が速まり、入出力端子 8 の過電荷の E S D が迅速になされる。そして、半導体集積回路の静電保護が完全になされるようになる。

## 【 0 0 3 0 】

図 1 ( b ) に示すように、ラテラル型バイポーラトランジスタが作動した後の電流は  $1_1$  経路を経てエミッタ領域である第 3 の拡散層 7 に達する。これは、単純に  $1_2$  経路の方が  $1_1$  経路より長くなるためである。このために、E S D が第 4 の拡散層 2 a の表面領域で生じやすくなる。そこで、このような問題を解決する手法について図 2 に基づいて付け加えて説明する。

## 【 0 0 3 1 】

図 2 は、第 4 の拡散層 2 a の第 1 の拡散層 4 の接合面からシリコン基板 1 への深さ方向の不純物濃度分布である。図 2 に示すように、第 4 の拡散層 2 a、2 は、その不純物濃度がシリコン基板の方向に単調に低減するように形成される。

## 【 0 0 3 2 】

このように第 4 の拡散層 2、2 a が形成されると、ラテラル型バイポーラトランジスタが作動した場合の h F E (増幅率) は、 $1_1$  経路よりも  $1_2$  経路の方で

大きくなる。このためにESDは深さ方向に対して偏り無く、第3の拡散層7の深さ方向で均一になるように起こるようになる。このようにして、上述したESDが第4の拡散層2aの表面領域で局所的に生じる場合の高発熱による入出力保護装置の破壊は防止できるようになる。

#### 【0033】

次に、本発明の第2の実施の形態を図3に基づいて説明する。図3(a)は、本発明を説明するための半導体集積回路の入出力保護の平面図であり、図3(b)は図3(a)に記すC-Dで切断した断面図である。ここで、第1の実施の形態で説明したものと同一のものには同一の符号が記されている。

#### 【0034】

図3(b)に示すように、第1の実施の形態と同様にして、P導電型のシリコン基板1表面に第4の拡散層2、2aが形成されている。そして、図3(a)および図3(b)に示すように、第4の拡散層2、2aの表面に選択的に素子分離絶縁膜3が形成されている。

#### 【0035】

そして、図3(a)および図3(b)に示すように、環(リング)形状の閉じたゲート電極10がP型ウェル2上にゲート絶縁膜を介して形成されている。また、N導電型の第1の拡散層4および第2の拡散層5が上記ゲート電極10のパターンに整合して形成されている。ここで、上記第1の拡散層4あるいは第2の拡散層5は、MOSトランジスタのソース/ドレイン領域の拡散層となるものである。

#### 【0036】

さらに、P導電型の取出し用拡散層6が形成されている。そして、図3(a)および図3(b)に示すように、第3の拡散層7aが、上記第2の拡散層5の領域上の一部であって、上記第4の拡散層2、2aよりも深くなるように形成されている。ここで、第3の拡散層7aの導電型は第2の拡散層5のそれと同一である。なお、図3(a)では、判り易くするためにこの第3の拡散層7aの領域には斜線が施されている。

#### 【0037】

このような構造において、第1の実施の形態で説明したのと同様に、第1の拡散層4に入出力端子8が接続される。そして、第2の拡散層5と取出し用拡散層6は接地端子9に接続される。

## 【0038】

この入出力保護装置の構成において、第1の実施の形態で説明したのと同様に、正極高電圧パルスが入出力端子8に印加されると、先述したような降伏電流によりベース領域となる第4の拡散層2aの電位が速く上昇し、入出力端子8の過電荷のESDが迅速になされる。そして、半導体集積回路の静電保護が完全になされるようになる。

## 【0039】

この第2の実施の形態では、入出力端子8が入力端子となる場合には、ゲート電極10は固定端子11に接続されている。そして、この固定端子11は接地電位となっている。逆に入出力端子8が出力端子となる場合には、ゲート電極10は半導体集積回路の内部回路へ接続される。

## 【0040】

次に、本発明の第3の実施の形態を図4に基づいて説明する。図4は、本発明を説明するための半導体集積回路の入出力保護の平面図である。第3の実施の形態では、平面的なパターン形状が第1の実施の形態と異なる。断面の構造は第1の実施の形態で説明したものとほぼ同じである。そこで、第1の実施の形態で説明したものと同一のものには同一の符号が記されている。

## 【0041】

図4に示すように、第1の実施の形態と同様にして、P導電型のシリコン基板表面に第4の拡散層が形成され、第4の拡散層の表面に選択的に素子分離絶縁膜3、3aが形成されている。そして、図4に示すように、リング形状の閉じた素子分離絶縁膜3aがP型ウェル上に形成されている。また、N導電型の第1の拡散層4aおよび第2の拡散層5aが上記素子分離絶縁膜3aのパターンに整合して形成されている。

## 【0042】

さらに、P導電型の取出し用拡散層6が形成されている。そして、第3の拡散

層 7 b が、上記第 2 の拡散層 5 a の領域上であって、上記第 4 の拡散層よりも深くなるように形成されている。ここで、第 3 の拡散層 7 b の導電型は第 2 の拡散層 5 a のそれと同一である。なお、図 4 では、判り易くするためにこの第 3 の拡散層 7 b の領域には斜線が施されている。

## 【 0 0 4 3 】

このような構造において、第 1 の実施の形態で説明したのと同様に、第 1 の拡散層 4 a に入出力端子が接続される。そして、第 2 の拡散層 5 a と取出し用拡散層 6 は接地端子に接続される。

## 【 0 0 4 4 】

この第 3 の実施の形態では、上述した第 1 の実施の形態で説明したのと同様の効果が生じる。また、この場合には、第 1 の拡散層 4 a の周辺端部が円形になるように形成されている。このために、第 1 の実施の形態で説明したアバランシェブレークダウンが第 1 の拡散層 4 a の周辺で一様に起こるようになる。このようにして、E S D が第 4 の拡散層の表面領域で局所的に生じることが無くなり、高発熱による入出力保護装置の破壊が防止できるようになる。

## 【 0 0 4 5 】

以上の実施の形態では、導電型が P 型のシリコン基板に入出力保護装置が形成される場合について説明した。本発明は、このような場合に限定されるものでなく、導電型が N 型のシリコン基板の場合でも同様に適用できるものである。但し、この場合には、上記実施の形態で説明した導電型は全て逆導電型のものに変えなければならない。そして、接地端子 9 および固定端子 1 1 は電源端子に変えられる。この場合には、負極高電圧パルスに対して半導体素子の保護が効果的になされる。また、本発明は、上記のような入出力保護装置が P 型あるいは N 型のウェル内に形成される場合でも同様に適用できるものである。

## 【 0 0 4 6 】

また、上記の実施の形態では、シリコン基板より不純物濃度の高くなる第 4 の拡散層が形成されたが、本発明は、第 4 の拡散層の形成されない場合でも同様に適用できるものである。この場合には、寄生のベース領域はシリコン基板の表面領域である。

【 0 0 4 7 】

また、本発明では、第 1 の拡散層 4 が第 3 の拡散層 7 と深い素子分離絶縁膜とでリング形状に囲われてもよい。ここで、深い素子分離絶縁膜は上記素子分離絶縁膜 3 とは別種のもので、その深さは上記第 3 の拡散層 7 と同程度になる。

【 0 0 4 8 】

このような場合も、第 1 の拡散層と一導電型領域との接合領域で生じるアバランシェブレークダウン時の降伏電流は、上記深い第 3 の拡散層と深い素子分離絶縁膜とでもって横方向の流れるが遮られ、半導体基板の内部に深く流れ込むようになる。そして、上記の実施の形態の場合と同様に、ベース領域となる第 4 の拡散層あるいは一導電型領域の電位の絶対値が上昇し易くなり、バイポーラ動作が容易に起こるようになる。

【 0 0 4 9 】

【発明の効果】

以上に説明したように、本発明の半導体集積回路の入出力保護装置では、半導体基板の一導電型領域あるいは第 4 の拡散層に、入出力端子に接続された逆導電型の第 1 の拡散層が形成され、一定電位の電極配線に接続された逆導電型の第 2 の拡散層が形成されている。そして、この第 2 の拡散層の底部に逆導電型の第 3 の拡散層が第 2 の拡散層と接続して形成され、上記第 1 の拡散層が前記第 2 の拡散層および第 3 の拡散層で環状に囲われている。

【 0 0 5 0 】

そして、上記の入出力端子に高電圧が印加される場合に、上記第 1 の拡散層をコレクタとし、第 2 の拡散層と第 3 の拡散層をエミッタとし、上記一導電型領域あるいは第 4 の拡散層をベースとしてラテラル型バイポーラトランジスタが起動するようになっている。このような寄生ラテラル型バイポーラトランジスタの作動でもって E S D が行われる。

【 0 0 5 1 】

そして、このような E S D のために、外部から入力端子にかかる過大電圧に対し、保護装置の応答が速くなり、半導体集積回路の保護能力が大幅に向上するようになる。

【 0 0 5 2 】

また、半導体集積回路の高集積化あるいは高速化のために、半導体集積回路を構成する個々の半導体素子が微細化され高密度化されても、本発明により、E S D等による半導体装置の不良発生は容易に防止できるようになる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態を説明するための入出力保護装置の平面図と断面図である。

【図 2】

本発明の実施の形態を説明するための不純物濃度分布を示すグラフである。

【図 3】

本発明の第 2 の実施の形態を説明するための入出力保護装置の平面図と断面図である。

【図 4】

本発明の第 3 の実施の形態を説明するための入出力保護装置の平面図である。

【図 5】

従来の技術を説明するための入出力保護装置の平面図と断面図である。

【符号の説明】

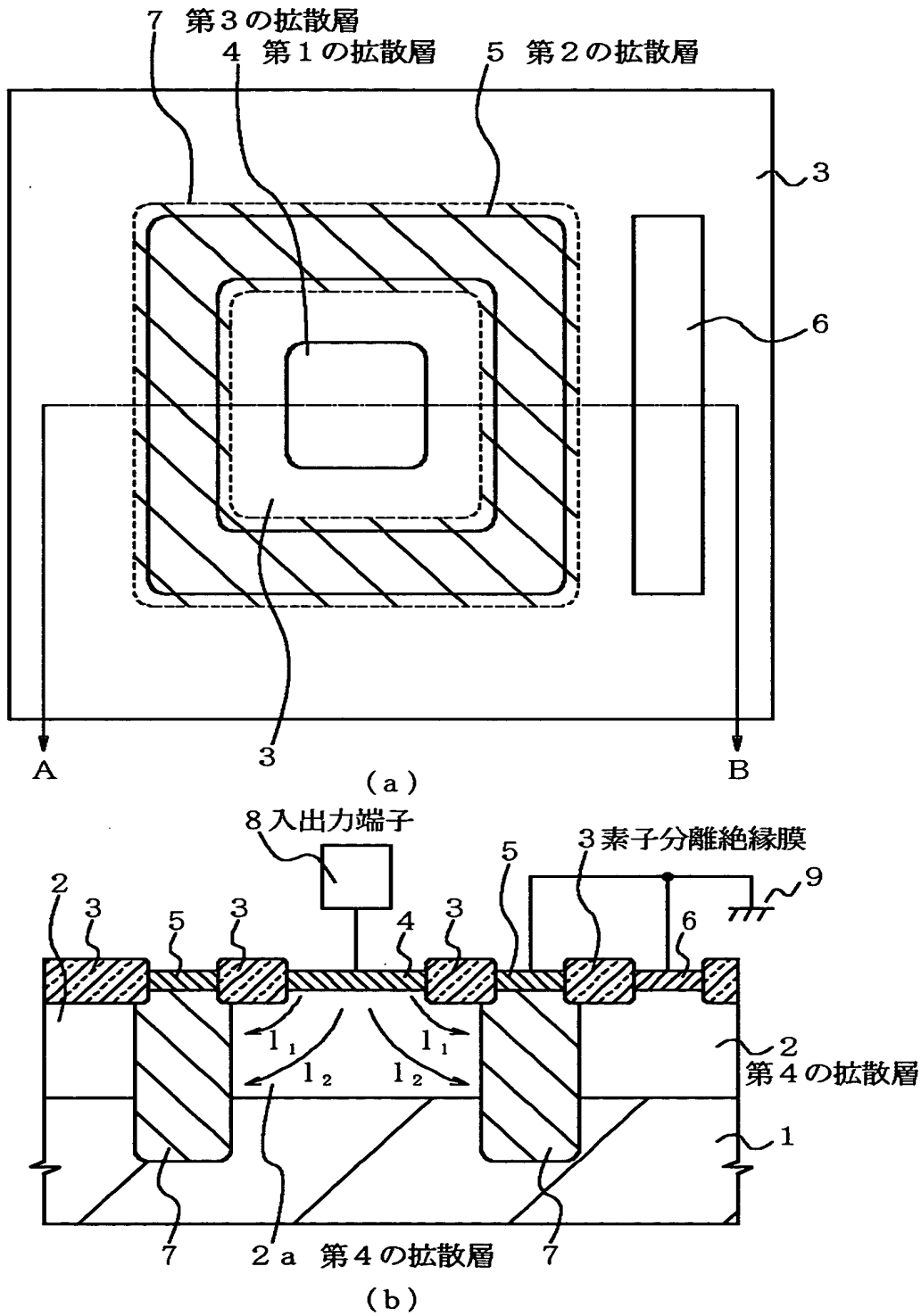
- 1 シリコン基板
- 2, 2 a 第 4 の拡散層
- 3, 3 a 素子分離絶縁膜
- 4, 4 a 第 1 の拡散層
- 5, 5 a 第 2 の拡散層
- 6 取出し用拡散層
- 7, 7 a, 7 b 第 3 の拡散層
- 8 入出力端子
- 9 接地端子
- 1 0 ゲート電極
- 1 1 固定端子



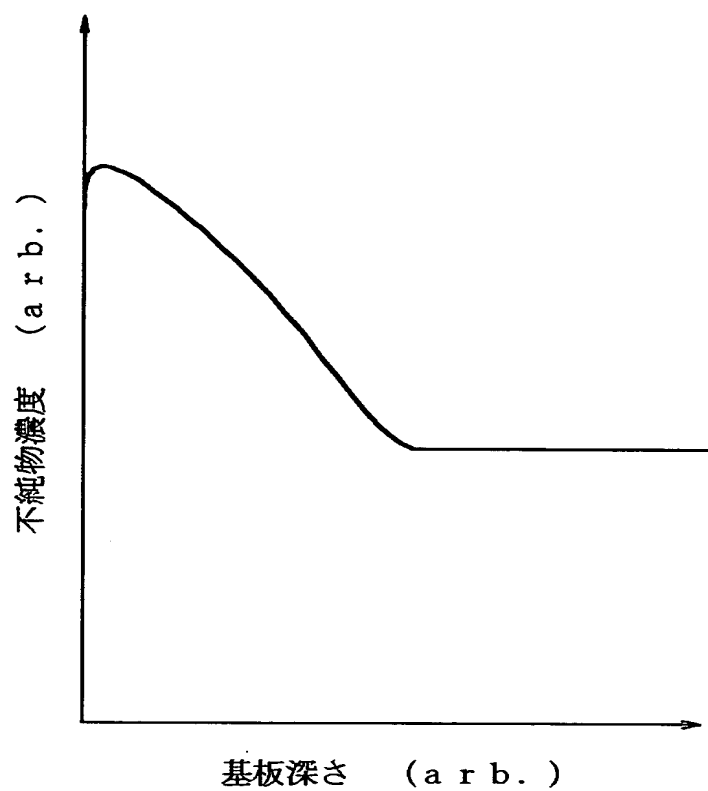
特平 1 1 - 2 0 4 8 1 9

【書類名】 図面

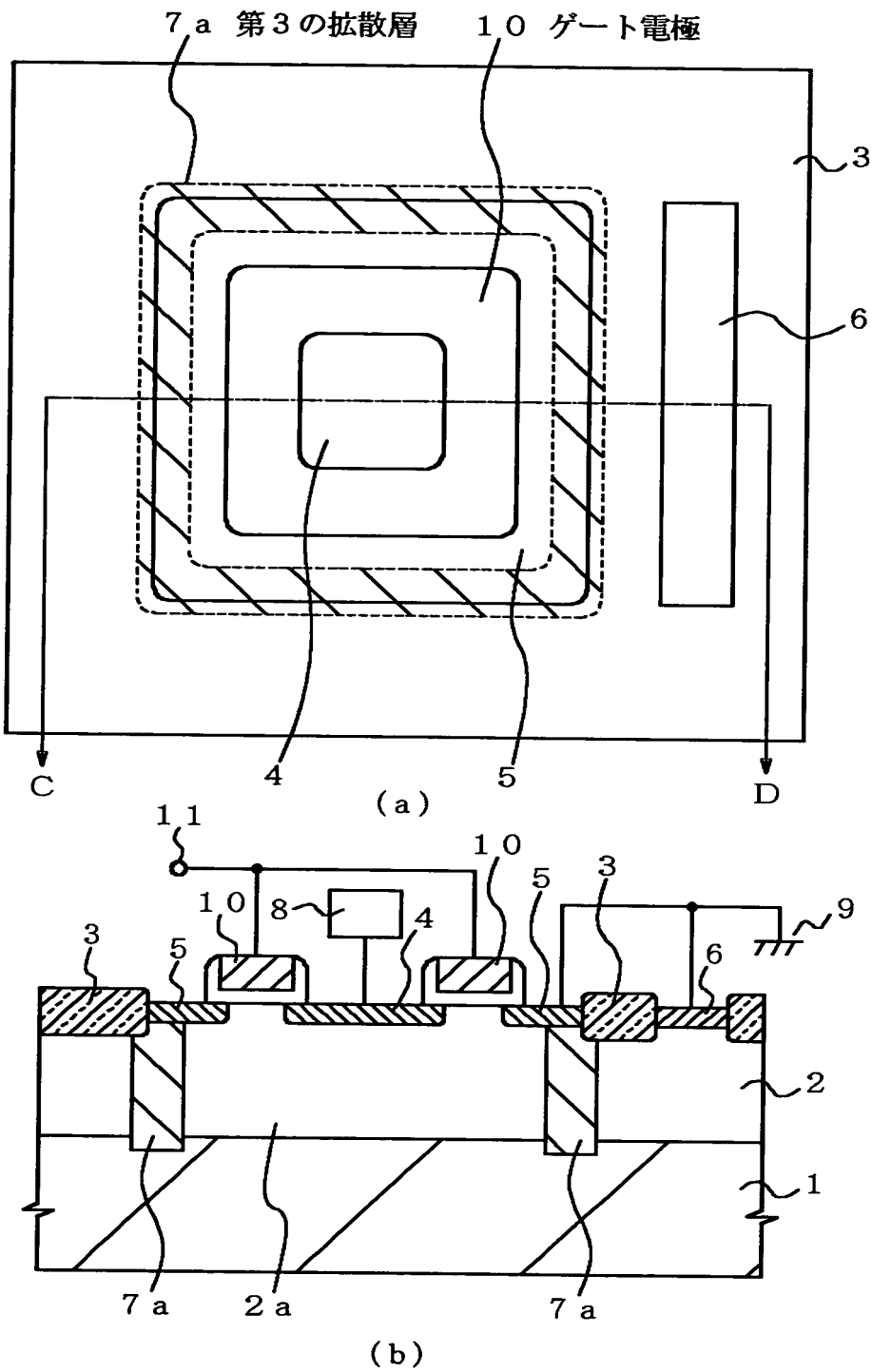
【図 1】



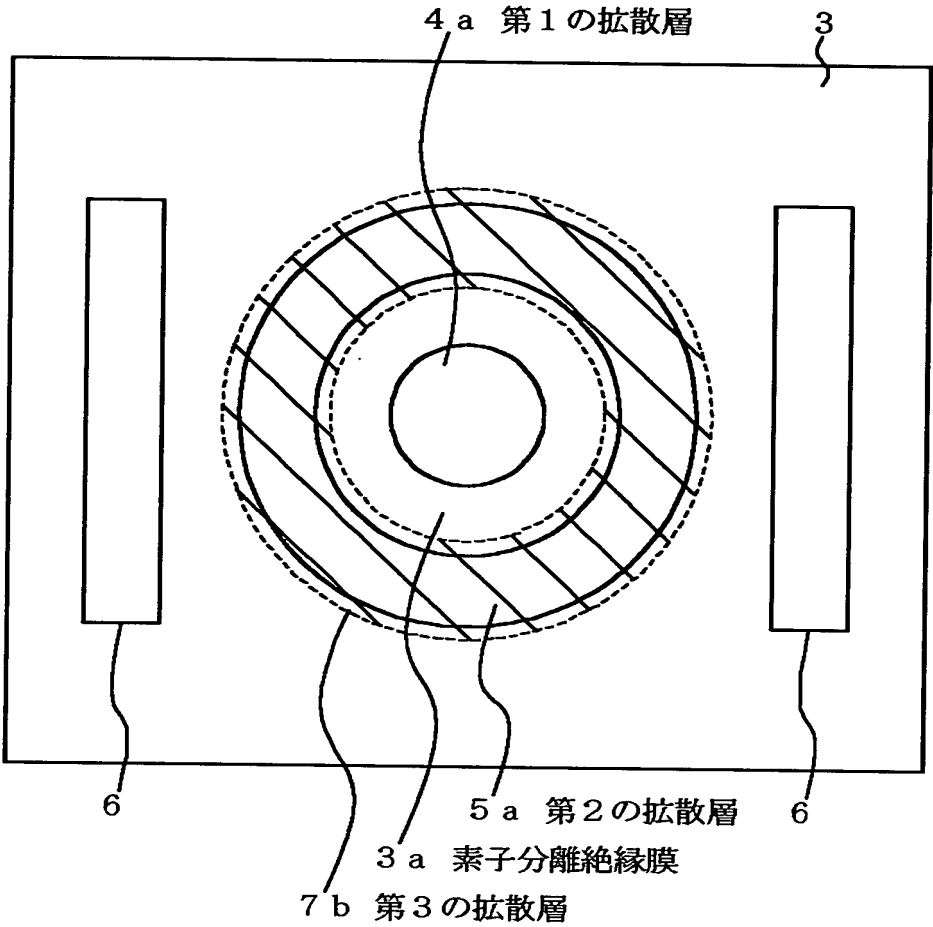
【図 2】



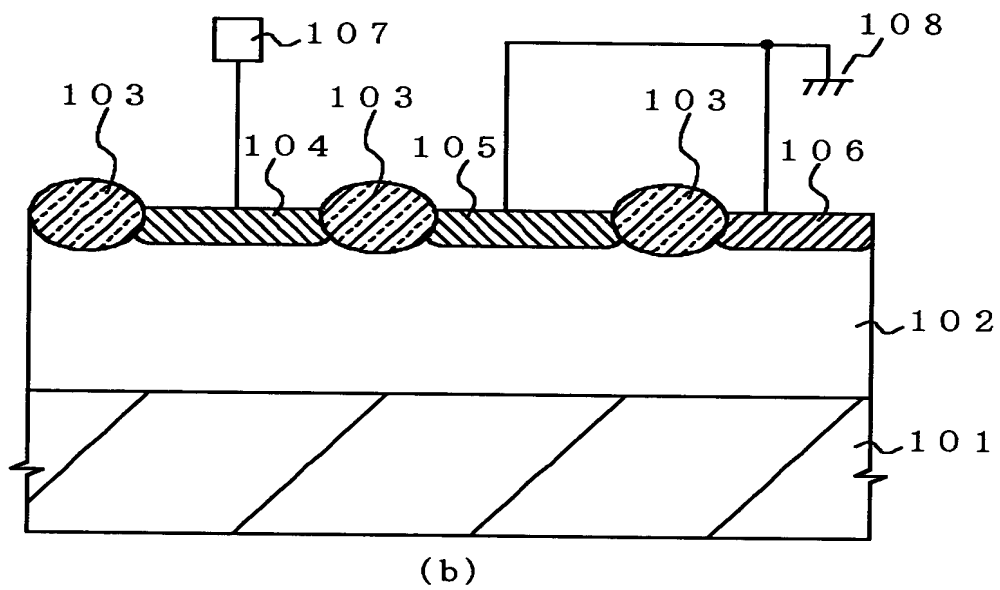
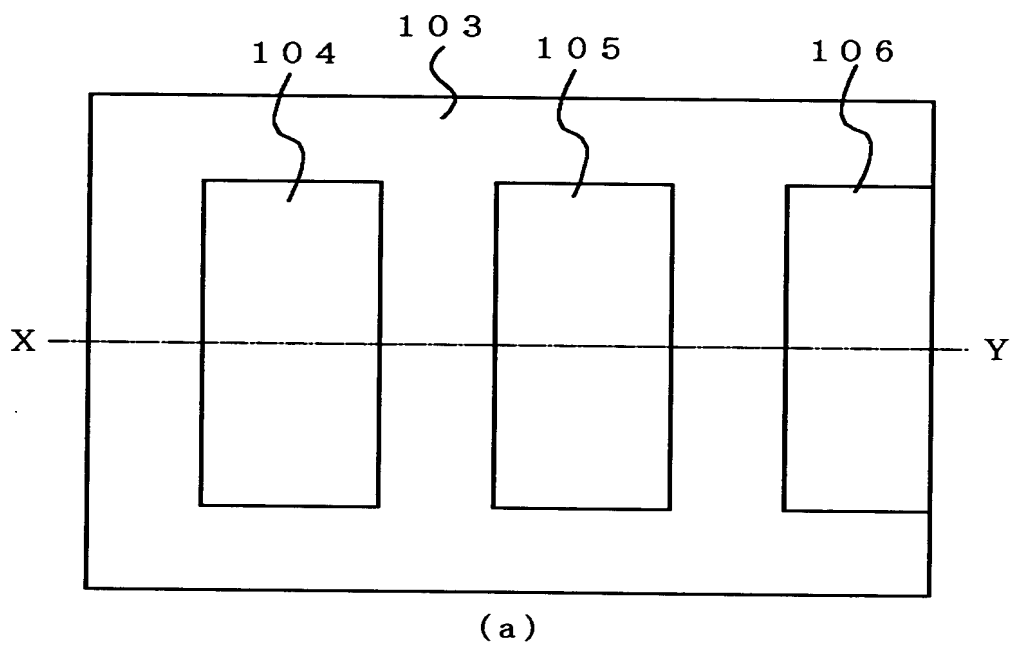
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 静電気等の過電圧、過電流パルスに対する応答が速い、ラテラルバイポーラ型の入出力保護装置を提供する。

【解決手段】 半導体基板の一導電型領域（第 4 の拡散層）に、入出力端子に接続された逆導電型の第 1 の拡散層が形成され、一定電位の電極配線に接続された逆導電型の第 2 の拡散層が形成されている。そして、この第 2 の拡散層の底部に逆導電型の第 3 の拡散層が第 2 の拡散層と接続して形成され、上記第 1 の拡散層が上記第 3 の拡散層で環状に囲われている。ここで、上記の入出力端子に高電圧が印加される場合に、上記第 1 の拡散層をコレクタとし、第 2 の拡散層と第 3 の拡散層をエミッタとし、上記一導電型領域あるいは第 4 の拡散層をベースとしてラテラル型バイポーラトランジスタが起動するようになっている。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第204819号
受付番号	59900693649
書類名	特許願
担当官	第五担当上席 0094
作成日	平成11年 7月22日

<認定情報・付加情報>

【提出日】	平成11年 7月19日
-------	-------------



出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社